

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255509

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01B 1/16

H01G 4/12

(21)Application number : 07-056883

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.03.1995

(72)Inventor : SATO YUICHI
HARADA KOICHI
OKUWADA HISAMI
KANAI HIDEYUKI
YAMASHITA YOHACHI

(54) CONDUCTIVE PASTE AND LAMINATED CERAMIC ELECTRONIC PART

(57)Abstract:

PURPOSE: To reduce the occurrence of delamination in using Ag/Pb paste, by containing at least one kind of a metal of Ti, V, Cr, Zr, Nb, and Mo, etc. of less 1wt.% in metallic powder.

CONSTITUTION: In metallic powder having a main component of silver and palladium, at least one kind of a metal of a Ti, V, Cr, Zr, Nb, Mo, Ta, W, Si, and Ge of less 1wt.% is added. This can sinter and contract silver/palladium on a higher temperature side to restrain the occurrence of delamination. Consequently, the sintering and contracting of an inside electrode can be delayed on a high temperature side to reduce the differential thermal expansion between dielectric and electrode layers by using such metallic powder as the metallic powder of conductive paste having the main body of metallic powder having the main components of silver and palladium. A laminated ceramic capacitor, using the conductive paste as an inside electrode, can reduce the occurrence of a crack or delamination.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255509

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 B 1/16			H 0 1 B 1/16	A
H 0 1 G 4/12	3 6 1		H 0 1 G 4/12	3 6 1

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-56883

(22) 出願日 平成7年(1995)3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 雄一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72) 発明者 原田 耕一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72) 発明者 奥和田 久美

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(74) 代理人 弁理士 則近 憲佑

最終頁に続く

(54) 【発明の名称】 導電ペースト及び積層セラミック電子部品

(57) 【要約】

【構成】本発明は、銀およびパラジウムを主成分とする金属粉末を主体とする導電ペーストにおいて、前記金属粉末はTi, V, Cr, Zr, Nb, Mo, Ta, W, Si及びGeの少なくとも1種の金属を1wt%未満含有することを特徴とする導電ペーストである。

【効果】積層セラミックコンデンサ等のデラミネーションの発生を抑制することができる。

【特許請求の範囲】

【請求項1】銀およびパラジウムを主成分とする金属粉末を主体とする導電ペーストにおいて、前記金属粉末はTi、V、Cr、Zr、Nb、Mo、Ta、W、SiおよびGeの少なくとも一種の金属を1wt%未満含有することを特徴とする導電ペースト。

【請求項2】セラミック層間に内部電極層を供えた積層セラミック電子部品において、前記内部電極層は銀およびパラジウムを主成分とし、Ti、V、Cr、Zr、Nb、Mo、Ta、W、SiおよびGeの少なくとも一種の金属を1wt%未満含有することを特徴とする積層セラミック電子部品。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は導電ペーストに係り、特に積層バリスタ、積層セラミックコンデンサ、セラミック多層基板などの積層セラミック電子部品に適した導電ペースト及びこれを用いて製造された積層セラミック電子部品に関する。

【0002】

【従来の技術】近年、携帯電話やラップトップコンピュータなどの電子機器の小型化が進むに従って、それに使用される電子部品も小型化が要求されている。電子部品の代表的なものの一つであるコンデンサにおいても同様の要求が高まっており、小型かつ大容量のコンデンサ、なかでも特に積層セラミックコンデンサが広く使用されている。

【0003】上記のような積層セラミックコンデンサを製造する場合、まずチタン酸バリウムやチタン酸鉛、もしくは鉛を元素に含む複合ペロブスカイト酸化物に代表される誘電体粉末を有機バインダ、可塑剤、有機溶剤などと混連してスラリーを作製し、ドクターブレード法などによりグリーンシートを作製する。次に、このグリーンシート上にパラジウム、白金などの貴金属を主成分として導電性ペーストを、スクリーン印刷法などにより塗布し、内部電極を形成する。

【0004】次に、内部電極を印刷、形成したグリーンシートを内部電極が交互になるように順次積層し、所望の積層数になるまで積層を繰り返すことによって誘電体層と電極層を交互に重ねた積層体を作る。こうして得られた積層体を所定の大きさにカットし、有機バインダを脱脂してから、1000℃～1400℃の温度範囲で誘電体と電極を同時焼成する。

【0005】次に焼成後の焼結体素子の両端部に現れる上記内部電極に、これらの内部電極が電氣的に接続されるように、銀、銀パラジウムなどを塗布し、焼き付けることによって外部電極を形成し、積層セラミックコンデンサを製造する。

【0006】現在の積層セラミックコンデンサでは、上記内部電極の主成分はパラジウム、パラジウムを含む合

金、あるいはパラジウムを含む混合粉末などを多く使用されている。

【0007】ところが上記のように同時焼成する際に、パラジウムは400℃～800℃ぐらいの温度範囲で、熱力学的に安定である酸化パラジウムに相変化し、それにともない体積膨脹する。この体積膨脹によって前後にある誘電体層が押し上げられる。その後800℃以上の温度で再び熱力学的に安定なパラジウムに還元し、体積収縮が生じる。またその後、パラジウムが安定な温度に達すると、パラジウムの焼結、および誘電体の焼結が生じる。この焼結が始まると急激な体積収縮が生じる。しかし前記のパラジウムによる誘電体への押しが大きいと誘電体の焼結による収縮だけでは誘電体の押し上げ分を吸収できず、誘電体層と内部電極層の間で剥離現象、いわゆるデラミネーションが生じる。デラミネーションは、このような体積膨脹、収縮の繰り返しや誘電体相と電極相の熱収縮差によって発生する応力などにより発生する。

【0008】デラミネーションは上記のパラジウムの酸化還元反応にともなう急激な体積膨脹・収縮が大きな原因であるが、銀が含まれる銀・パラジウム合金などでは、銀の存在によりこの体積膨脹・収縮が低減されるといった報告もされている。しかし完全に無くすことは出来ない。さらに銀含有によりその融点がパラジウムに比べて低下するため、電極の焼結がパラジウムに比べて低温側から生じる。そのため、誘電体層と電極層の熱収縮差が顕著になり、デラミネーションが促進される問題が生じてきた。

【0009】このようなデラミネーションは製品不良の原因となり、積層セラミックコンデンサのみならず、導電性貴金属粒子を主成分とする導電性ペーストを用いる他の積層セラミック電子部品の製造においても共通の問題となっている。

【0010】この様な問題に対処するため、特開平5-205969号公報にはRe、Ruをパラジウムペーストに添加する技術が開示されている。また特開昭57-121072号公報には貴金属粒子の表面にRh、Ruをコーティングする技術が開示されている。

【0011】また米国特許5,126,915には耐火性の金属酸化物をコーティングする技術が開示されている。しかしながらいずれもAg/Pd合金ペーストのデラミネーションを解消するものではない。

【0012】

【発明が解決しようとする課題】この様にAg/Pdペーストを用いた際のデラミネーションを解消する手段は見出されていないのが現状である。本発明は以上の点を考慮してなされたもので、Ag/Pdペーストを用いた際のデラミネーションの発生の低減し得る手段を提供することを目的とする。

【0013】

【課題を解決するための手段及び作用】本発明は、銀およびパラジウムを主成分とする金属粉末を主体とする導電ペーストにおいて、前記金属粉末はTi、V、Cr、Zr、Nb、Mo、Ta、W、Si及びGeの少なくとも一種の金属を1wt%未満含有することを特徴とする導電ペースト及びこれを用いて内部電極を形成した積層セラミック電子部品である。

【0014】Ti、V、Cr、Zr、Nb、Mo、Ta、W、Si及びGeの少なくとも一種の金属の添加により、銀/パラジウムの焼結収縮をより高温側で起こすことが可能となる。従ってデラミネーションの発生を抑制することができる。これらの金属の添加量が多すぎるとかえってデラミネーション発生が増し、また電気抵抗の上昇をまねくため、その添加量は1wt%未満とする。好ましくは0.8wt%以下である。少量の添加でその効果は発揮されるが、0.01wt%以上でその効果が顕著にあらわれる。添加方法は特に限定されず、金属混合粉末、合金混合粉末など各種形態を取り得る。

【0015】なお、銀(Ag)およびパラジウム(Pd)を主成分とする金属粉末は、AgPd合金でも、Ag及びPdの混合粉末でもかまわない。組成比は特に限定されないが、例えばAg70: Pd30(重量比)などで代表され、Ag: Pd=10~90: 90~10(重量比)が好ましい。より好ましくは、Ag60/Pd40~Ag90/Pd10である。

【0016】また導電ペーストとしては通常の有機バインダ、溶剤などを含む。この様な導電ペーストをセラミックグリーンシート上に印刷積層板に一体焼成することで積層セラミック電子部品を得ることができる。積層セラミック電子部品は、積層セラミックコンデンサ、セラミック配線基板、セラミック圧電・電歪素子、積層バリスタなど、電極層とセラミック層とが一体焼成されるものであれば良く、特に積層セラミックコンデンサなどの各層あたりの厚みが薄いもの程効果的である。

【0017】

【実施例】以下に本発明の実施例を説明する。

【実施例1】タンタル(Ta)粉末0.5wt%、粒子径0.5μmの球状の銀パラジウム合金(銀70wt%、パラジウム30wt%含有)を99.5wt%からなる導電性粉末65wt%と、エチルセルロース6.5wt%、混合溶剤(テレビネオール20wt%、ブチルカルビトール80wt%)からなる導電ペーストを三本ロールにより30分間混練することで作製した。

【0018】次に、この導電ペーストをあらかじめ作製したマグネシウムニオブ酸鉛を主体とする誘電体のグリーンシートの上にスクリーン印刷法により内部電極を形成した後、内部電極と誘電体層とが交互になるようにグリーンシートを順次積層し、熱圧着することで積層成型体を形成した。次にこの積層体をチップ状の素子に切断し、有機バインダの脱脂処理を施した後、約1100℃

×2Hで誘電体層と電極層を同時焼成し、さらに焼成後のチップ状の素子に外部電極を形成して積層セラミックコンデンサを製造した。なお焼結後の導電体の厚みは15μm、内部電極の厚みは3μmで積層数は100層である。

【0019】得られた積層セラミックコンデンサ200個について、その微細構造、特に誘電体層と電極層の界面、積層セラミックコンデンサの端部を観察して、クラックやデラミネーションの発生率を調べた。その結果を表1に示す。

【0020】またモリブデン(Mo) タングステン(W) 混合粉末(Mo/W=50/50wt%) 0.1wt%および球状のAgPd合金粉(Ag/Pd=70/30) 99.9wt%を含む導電性粉末を用いた同様の導電ペーストについても、併せて表1に示す。

【0021】比較のため、添加金属のないもの、スズ(Sn)を0.5wt%添加したものについてもその結果を表1に示す。表1から明らかなように、本発明のタンタル粉末を含有したAgPd導電ペースト、およびモリブデン、タンングステン混合粉末を含有したAgPd導電ペーストを用いた積層セラミックスコンデンサではデラミネーションの発生率は、5%以下と少ない。

【0022】これに対して、金属添加のないAgPdペースト、およびスズを含有したAgPd導電ペーストを用いた積層セラミックコンデンサでは、デラミネーションの発生率は30%以上であり、かなり大きい。

【0023】(実施例2) 実施例1のTa含有AgPd導電ペーストにおいてTa含有量を変化させた混合の結果を表2に示す。

【0024】表2から明らかなように、Ta粉末含有量が1wt%未満の範囲では、デラミネーション発生率は5%以下と少なく、デラミネーション発生を抑制する効果があると考えられる。しかし、Ta粉末含有量が0.01wt%未満と極めて少ない場合は、デラミネーション発生率は20%以上と多く、Ta粉末を含有する効果がない。

【0025】また、Ta粉末含有量が1wt%以上の場合は、デラミネーション発生率が増加するだけでなく、積層セラミックコンデンサの容量、絶縁抵抗が低下する現象が確認された。他の添加金属でも同様の傾向があった。

【0026】(実施例3) 誘電体をチタン酸バリウムを主成分としたこと以外は実施例2と同様にして得られた結果を表3に示す。やはり1wt%未満のTa添加でデラミネーションの発生を抑制することができる。

【0027】(実施例4) Ti粉末0.7wt%、粒子径0.5μmの球状の銀パラジウム合金(銀80wt%、パラジウム20wt%含有)を99.3wt%からなる導電性粉末65wt%、エチルセルロース6.5wt%、混合溶剤(テレビネオール20wt%、ブチルカ

ルビトール80wt%)からなる導電性ペーストを三本ロールにより30分混練することで作製した。

【0028】同様にしてバナジウム、ニオブ混合粉末(バナジウム/ニオブ=30/70)0.4wt%、球状の銀パラジウム合金(銀80wt%、パラジウム20wt%含有)を99.3wt%からなる導電性粉末にエチルセルロース、混合溶剤を前記組成で加え、前記作製方法を用いて導電性ペーストを作製した。

【0029】また、クロム、ジルコニウム、モリブデンの混合粉末(クロム/ジルコニウム/モリブデン=40/40/20)0.9wt%、球状の銀パラジウム合金(銀90wt%、パラジウム10wt%)を99.1wt%からなる導電性粉末にエチルセルロース、混合溶剤を前記組成の割合で混合し、前記作製方法を用いて導電性ペーストを作製した。

【0030】なお比較のため銀80wt%、パラジウム20wt%からなる混合粉末、および銀90wt%、パラジウム10wt%からなる合金粉末に、エチルセルロース、混合溶剤をそれぞれ前記組成で混練した導電性ペーストも同時に作製した。

【0031】これらの5種類の導電性ペーストを用いて、実施例1と同様の積層セラミックコンデンサの作製方法で5種類の積層セラミックコンデンサを作製し、同様にクラックやデラミネーション発生率を調べた。その結果を表4に示す。

【0032】表4から明らかなように、Ti, V, Nb, Cr, Zr, Moを含むAgPd導電性ペーストを用いた積層セラミックコンデンサでは、デラミネーションやクラック発生率が6%以下と少ない。

【0033】これに対して金属添加のない導電性ペーストを用いた積層セラミックコンデンサでは、デラミネーション、クラックの発生率は30%以上とかなり大きい。このことから、本発明に記した金属粉末を1種類以上含有した導電性ペーストを用いて積層セラミックコンデンサを作製すると、デラミネーション、クラックの少ない積層セラミックコンデンサを提供できることがわかる。

【0034】(実施例5)シリコン粉末及び粒子径0.4μmの球状の銀パラジウム合金(銀80wt%、パラジウム20wt%含有)からなる導電性粉末について、シリコン粉末の添加量を変化させて、合計5種類の導電性粉末を作製し、この導電性混合粉末65wt%に、エチルセルロース6.5wt%、混合溶剤(テレピネオール20wt%、プチルカルビトール80wt%)を加え、三本ロールにより30分混練することで5種類の導電性ペーストを作製した。またこの5種類の導電性ペー

ストを用いて、実施例1と同様の作製方法で、それぞれ5種類の積層セラミックコンデンサを作製した。

【0035】またシリコンゲルマニウム混合粉末及び銀パラジウム合金粉末(銀80wt%、パラジウム20wt%含有)からなる導電性粉末について、シリコン、ゲルマニウム混合粉末の添加量を変化させて、合計5種類の導電性粉末を作製し、前記組成、および前記作製方法を用いて、5種類の導電性ペーストを作製した。また、この5種類の導電性ペーストを用いて、実施例1と同様の作製方法で、5種類の積層セラミックコンデンサを作製した。

【0036】これらの11種類の積層セラミックコンデンサより200個を取り出し、実施例1と同様にクラックやデラミネーションの発生率を調べた。その結果を表5に示す。

【0037】表5から明らかなように、シリコン粉末、およびシリコン、ゲルマニウム混合粉末の含有量が1wt%未満では、デラミネーション発生率は5%以下と少なく、デラミネーション、クラックの発生を抑制する効果があると考えられる。しかし、シリコン、およびシリコン、ゲルマニウム混合粉末の含有量が0.01wt%未満と極めて少量の場合はデラミネーションの発生があり、シリコンなどを含有する効果が得にくい。またこれらの含有量が1wt%を越える場合は、デラミネーションの発生率が30%以上と大きくなるだけでなく、積層セラミックコンデンサの静電容量、絶縁抵抗が低下する減少があり、望ましくない。

【0038】以上の実施例から明らかなように、Ti, V, Cr, Zr, Nb, Mo, Ta, W, Si及びGeからなる少なくとも1種以上の金属を、1wt%未満添加させたAgPd導電ペーストは、内部電極の焼結収縮を高温度側へ遅らせ、誘電体層と電極層の熱膨張差を小さくする作用を持っており、したがって、この導電性ペーストを内部電極として用いた積層セラミックコンデンサは、クラックやデラミネーションの極めて少ない良品を得ることができる。また誘電体材料も鉛系のリラクサーやチタン酸バリウム系のみならず、マイクロ波誘電体材料等でも同様の結果が得られる。

【0039】なお、この導電性ペーストの適用例として、そのデラミネーション発生抑制効果が著しい積層セラミックコンデンサの例を示したが、本発明の導電性ペーストはこれに限定されるものではなく、積層バリスタやセラミック多層基板など、他の積層セラミック電子部品にも適用できることは言うまでもない。

【0040】

【表1】

主成分 (wt%)	添 加 物	デラミーション発生率 (剥離個数/試料個数)
Ag/Pd 99.5wt%	Ta 0.5 wt%	3/200 (1.5%)
Ag/Pd 99.9wt%	Mo 0.05wt% W 0.05wt%	5/200 (2.5%)
Ag/Pd 100wt%	なし	113/200 (56.5%)
Ag/Pd 99.5wt%	Sn 0.5 wt%	84/200 (42.0%)

【0041】

【表2】

主成分 (wt%)	添 加 物	デラミーション発生率 (剥離個数/試料個数)
Ag/Pd 100wt%	なし	113/200 (56.5%)
Ag/Pd 99.995wt%	Ta 0.005 wt%	57/200 (28.5%)
Ag/Pd 99.9wt%	Ta 0.1 wt%	1/200 (0.5%)
Ag/Pd 99.3wt%	Ta 0.7 wt%	4/200 (2.0%)
Ag/Pd 98.0wt%	Ta 2.0 wt%	63/200 (31.5%)

【0042】

【表3】

主成分 (wt%)	添 加 物	デラミーション発生率 (剥離個数/試料個数)
Ag/Pd 100wt%	なし	125/200 (62.5%)
Ag/Pd 99.995wt%	Ta 0.005 wt%	47/200 (23.5%)
Ag/Pd 99.9wt%	Ta 0.1 wt%	2/200 (1.0%)
Ag/Pd 99.3wt%	Ta 0.7 wt%	3/200 (1.5%)
Ag/Pd 98.0wt%	Ta 2.0 wt%	74/200 (37.0%)

【0043】

【表4】

主成分 (wt%)	添 加 物	デラミーション発生率 (剥離個数/試料個数)
80Ag/20Pd 100wt%	なし	147/200 (73.5%)
90Ag/10Pd 100wt%	なし	102/200 (51.0%)
80Ag/20Pd 99.3wt%	Ti 0.7 wt%	8/200 (4.0%)
80Ag/20Pd 99.6wt%	V 0.12wt% Nb 0.28wt%	1/200 (0.5%)
90Ag/10Pd 99.1wt%	Cr 0.36wt% Zr 0.36wt% Mo 0.18wt%	4/200 (2.0%)

【0044】

【表5】

主成分 (wt%)	添 加 物	デラミネーション発生率 (剥離個数/試料個数)
80Ag/20Pd 100wt%	なし	147/200 (73.5%)
80Ag/20Pd 99.993wt%	Si 0.007 wt%	98/200 (49.0%)
80Ag/20Pd 99.8wt%	Si 0.2 wt%	5/200 (2.5%)
80Ag/20Pd 99.5wt%	Si 0.5 wt%	4/200 (2.0%)
80Ag/20Pd 99.2wt%	Si 0.8 wt%	7/200 (3.5%)
80Ag/20Pd 98.5wt%	Si 1.5 wt%	6/200 (3.0%)
80Ag/20Pd 99.993wt%	Si 0.0042wt% Ge 0.0028wt%	76/200 (38.0%)
80Ag/20Pd 99.9wt%	Si 0.04wt% Ge 0.06wt%	8/200 (4.0%)
80Ag/20Pd 99.6wt%	Si 0.08wt% Ge 0.32wt%	7/200 (3.5%)
80Ag/20Pd 99.3wt%	Si 0.49wt% Ge 0.21wt%	3/200 (1.5%)
80Ag/20Pd 96.5wt%	Si 2.8 wt% Ge 0.7 wt%	48/200 (24.0%)

【0045】

【発明の効果】以上説明したように本発明によれば、デ

ラミネーションの発生の少ない積層セラミック電子部品を得ることができる。

フロントページの続き

(72) 発明者 金井 秀之

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72) 発明者 山下 洋八

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内